

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-198025

(43)Date of publication of application : 29.08.1991

(51)Int.Cl.

G02F 1/015
G02B 6/12
H01S 3/18

(21)Application number : 01-340101

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1989

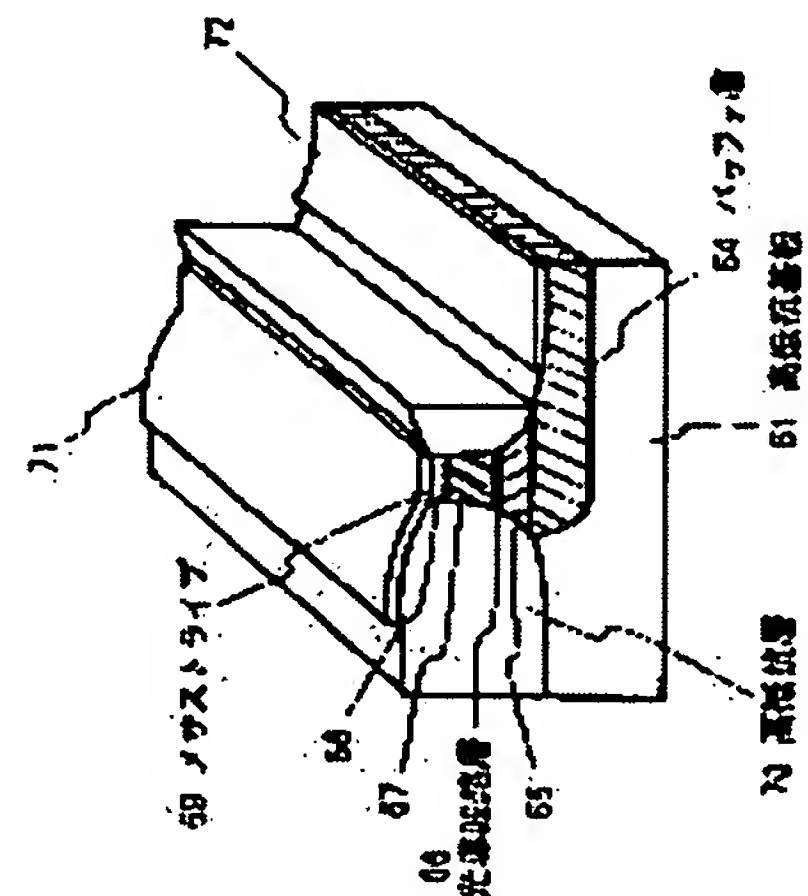
(72)Inventor : AJISAWA AKIRA
TERAKADO TOMOJI
YAMAGUCHI MASAYUKI
KOMATSU YOSHIRO

(54) OPTICAL MODULATOR AND INTEGRATION TYPE OPTICAL MODULATOR AND PHOTODETECTOR AS WELL AS PRODUCTION THEREOF

(57)Abstract:

PURPOSE: To attain ultra-high-speed modulation and the widening of a frequency range and to improve a yield and uniformity by using a high-resistance semiconductor substrate and embedding a PIN structure optical waveguide with the high-resistance layer.

CONSTITUTION: Striped means 69 having the pin structure in which an I layer of a low carrier concn. is formed as the semiconductor optical waveguide layer 66, the high-resistance layers 70 on both side faces of the striped means, and means for impressing electric fields to the semiconductor optical waveguide layer 66 are provided on the high-resistance semiconductor substrate 61. The inter-electrode distance is made longer than heretofore by using the high-resistance semiconductor substrate and the embedding structure of the semiconductor high-resistance layers. The wiring capacity and pad capacity are, therefore, decreased and the capacity over the entire part of the element is determined nearly by a junction capacity and the frequency range of the optical modulator is widened. The ultra-high-speed modulation as the integration type optical modulator is executed by having the PIN structure formed on the high-resistance substrate and embedded by the high-resistance layers. Thus, the ultra-high-speed modulation and the widening of the frequency range are possible in this way and the yield is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-198025

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月29日

G 02 F 1/015

5 0 5

8106-2H

G 02 B 6/12

J

7036-2H

H 01 S 3/18

M

7036-2H

6940-5F

審査請求 未請求 請求項の数 8 (全12頁)

⑮ 発明の名称 光変調器と集積型光変調器と光検出器及びその製造方法

⑯ 特 願 平1-340101

⑰ 出 願 平1(1989)12月27日

⑱ 発 明 者	味 澤 昭	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	寺 門 知 二	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	山 口 昌 幸	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	小 松 啓 郎	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目7番1号	
⑳ 代 理 人	弁理士 内 原 晋		

明 細 書

発明の名称 光変調器と集積型光変調器と光検出器及びその製造方法

特許請求の範囲

(1) 高抵抗半導体基板上にI層を半導体光導波路層とするPIN構造を備えたストライプ状のメサと該ストライプ状のメサの両側面の高抵抗層と前記半導体光導波路層に電界を印加する手段とを備えることを特徴とする光変調器。

(2) 請求項1の光変調器において同一高抵抗半導体基板上に半導体レーザが形成され、該半導体レーザの発振光と前記光変調器の光導波路層とが光学的に結合する位置関係にあることを特徴とする集積型光変調器。

(3) 高抵抗半導体基板上にI層を光吸収層とするPIN構造を備えたストライプ状のメサと該ストライプ状のメサの両側面の高抵抗層と前記光吸収層か

らの光電流を検知する手段を備えることを特徴とする光検出器。

(4) 部分的にストライプ状の第一導電型のバッファ層を有し、表面が平坦な高抵抗半導体基板上に、少なくとも第一導電型半導体層、i型半導体層、第二導電型半導体層を順に含む半導体多層を形成する工程と、前記バッファ層と前記高抵抗基板の一方の境界に沿ったストライプ状のマスクを前記半導体多層上に形成する工程とこのマスクを用いてメサストライプの一方の側では前記高抵抗基板、他方の側ではバッファ層を露出するようエッチングし、メサストライプを形成する工程と、前記メサストライプの両側面に高抵抗層を形成し、ほぼ平坦な表面とする工程と、前記高抵抗層の一部を除去し露出した前記バッファ層の上に第1の電極を形成する工程と、前記メサストライプの上に第2の電極を形成する工程、とを備えることを特徴とする光変調器、または集積型光変調器または光検出器の製造方法。

(5)請求項4の部分的にストライプ状の第一導電型のバッファ層を有し、表面が平坦な高抵抗半導体基板を作る方法が高抵抗半導体基板上にストライプ状の誘電体膜を形成する工程と、その誘電体膜をマスクとしてエッチングにより溝を形成する工程と、その誘電体膜をマスクとして該溝の中に結晶成長により第一導電型バッファ層を表面が平坦になるまで形成する工程と、前記誘電体膜をエッチングにより除去する工程、とを備えることを特徴とする請求項4の製造方法。

(6)請求項4の部分的にストライプ状の第一導電型のバッファ層を有し、表面が平坦な高抵抗半導体基板を作る方法が高抵抗半導体基板上にストライプ状の誘電体膜を形成する工程とその誘電体膜をマスクとしてエッチングにより溝を形成する工程と、その誘電体膜を除去する工程と、全面には均等な厚さの第一導電型バッファ層を形成する工程と、前記バッファ層の上に基板表面の溝をほぼ平坦に埋めるようにフォトリソを塗布する工程と前記フォトリソ及び半導体に対し等速

のエッチング速度を示す気相エッチング法を用いて前記溝の部分を除いて高抵抗基板が露出するまで前記フォトリソ及びバッファ層の一部を除去する工程と、前記溝に残存するフォトリソを除去する工程を備えることを特徴とする請求項4の製造方法。

(7)請求項4の部分的にストライプ状の第一導電型のバッファ層を有し表面が平坦な高抵抗基板を作る工程が高抵抗基板の前記ストライプ状の部分にのみ第一導電型となる不純物をイオン注入又は拡散により導入する工程を備えることを特徴とする請求項4の製造方法。

(8)請求項4の部分的にストライプ状の第一導電型のバッファ層を有し表面が平坦な高抵抗基板を作る工程が高抵抗基板上に第一導電型バッファ層を全面に形成する工程と、部分的に第一導電型バッファ層を高抵抗化するイオンを注入する工程を備えることを特徴とする請求項4の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は高速光通信システムに用いられる光変調器、集積型光変調器、光検出器とその製造方法に関する。

(従来の技術)

近年の光通信システムの発展に伴い、超高速、低電圧動作可能で、小型化、集積化が容易な光変調器の需要が高まっている。半導体光変調器の中で光導波路に電界を印加することにより光導波路の光吸収損失が増加する効果(フランツケルディシュ効果又は量子シュタルク効果)を利用したものは素子容量を低減すれば数十GHzの変調帯域を有し、かつ分布帰還型半導体レーザ等の集積化が容易であるという利点を持っている。変調器の例として脇田らの試作したInGaAlAs/InAlAs MQW構造を用いた20GHzの光変調器が電子情報通信学会春季全国大会講演予稿集C-474に記載されている。これは半導体のPIN構造への逆バイアスによる電界で生ずるエキシトンピークのシフトを利用した吸収型の変調器であり、n-InP基板上にn-InAlAsクラッド層、i-MQWガイド層、p-InAlAsクラッド層を

MBE法により作成したものである。このような変調器の変調周波数帯域 Δf は素子の静電容量Cによりほぼ決定され $\Delta f = 1/(nCR)$ で表される。また素子容量はpn接合部での接合容量 C_j 、配線容量 C_i 、ボンディングパッド部でのパッド容量 C_p の和で表される。上述の変調器の場合、超高速変調を狙っているためにパッド部の下をポリイミドで埋め込み低容量化を図り、その結果、素子容量約0.2pFと非常に低い値を得ている。しかし、この場合でも変調器に本質的な接合容量 C_j は全体の半分以下であり、残りはn-InP基板と配線電極間によって生ずる本来不要な配線容量とパッド容量である。またこの変調器の素子長は約100 μ mであり、スイッチの特性から考えて、これ以上の接合容量の大幅な低減は困難であり、更にn-InP基板のような導電性の基板を用いているために配線容量、パッド容量をこれ以上下げることにもまた困難である。従って従来の構造の光変調器では、変調帯域は高々20~25GHzであり、将来の超高速光変調器(帯域 ≥ 50 GHz)への適用は困難である。また変調器と半導体レーザを集積

した例として、雙田らにより、アイオーオーシ (IOOC '89) テクニカルダイジェスト20PDB-5(1989年)に記載されている。これはn-InP基板上にDFB-LDとフランツケルディッシュ効果による光吸収を利用した変調器を集積したもので、LD及び変調器の光導波路の両側を高抵抗InPで埋め込んだものである。しかし導電性基板を用いているため寄生容量が大きく、それを低減するために電極パッドの下にポリイミド層を入れている。その結果素子容量0.55pF、変調帯域10GHz程度を得ている。

(発明が解決しようとする課題)

従来例では、導電性基板を用いているため素子容量の低減に限界があり、変調帯域として変調器で25GHz程度、レーザとの集積型変調器では10GHz程度と限られていた。これは導電性基板に形成された電極と、メサストライプ及び高抵抗層の上に形成されたもう一方の電極の間の高抵抗層の厚さがストライプ状のメサの両側で2~3 μ mしかないため、素子容量が0.5pFに以下にできないためである。この厚さを大きくすることにより素子容

また本発明の光検出器は前記光変調器と構成は同じであるがI層を光吸収層となるよう検出する光より禁制帯幅の狭い半導体で構成し、光電流を検知するための電極を備えることを特徴とする。また本発明の製造方法は部分的にストライプ状の第一導電型のバッファ層を有し表面が平坦な高抵抗半導体基板上に少なくとも第一導電型半導体層、i型半導体層、第二導電型半導体層を含む半導体多層を形成する工程と、前記バッファ層と前記高抵抗基板の一方の境界に沿ったストライプ状のマスクを前記半導体多層上に形成する工程とこのマスクを用いてメサストライプの一方の側では前記高抵抗基板、他方の側ではバッファ層を露出するようエッチングしメサストライプを形成する工程と、前記メサストライプの両側面に高抵抗層を形成しほぼ平坦な表面とする工程と、前記高抵抗層の一部を除去し露出した前記バッファ層の上に第1の電極を形成し、前記メサストライプを含む領域の上に第2の電極を形成する工程、とを備えることを特徴とする。

量を低減できるが、メサの高さには製作上の点から限界があった。

本発明の目的は素子容量を下げることにより超高速変調が可能な広帯域な光変調器、集積型光変調器と光検出器を提供することにある。更にそれらが歩留り良く均一性良く得られる製造方法を提供することにある。

(課題を解決するための手段)

本発明の光変調器は高抵抗半導体基板上に低キャリア濃度であるI層を半導体光導波路層とするPIN構造を備えたストライプ状のメサと該ストライプ状のメサの両側面の高抵抗層と前記半導体光導波路層に電界を印加する手段とを備えることを特徴とする。また本発明の集積型光変調器は上述の光変調器とモノリシックに半導体レーザを集積し、半導体レーザの発振光と光変調器の導波路が光学的に結合するよう配置し、光変調器に印加する電界強度により、半導体レーザからの光強度を変調できるようにしたことを特徴とする。

部分的にストライプ状の第一導電型のバッファ層を有し、表面が平坦な高抵抗半導体基板を形成する方法の一つは高抵抗半導体基板にストライプ状の溝を形成し、選択的に溝の中に第一導電型バッファ層を形成する方法による。二つめは高抵抗基板にストライプ状の溝を形成し、全面に第一導電型のバッファ層を形成し、溝を平坦に埋めるようにフォトリソを塗布し、次に気相エッチングにより、溝の部分を除いて高抵抗基板が露出するまでエッチングする方法による。三つめは高抵抗基板にストライプ状に第一導電型の不純物をイオン注入又は拡散により導入する方法による。四つめは高抵抗基板上に第一導電型の半導体層を全面に形成し、ストライプ状の部分を除いて第一導電型バッファ層を高抵抗化するイオンを注入する方法による。

(作用)

本発明は高抵抗半導体基板を用い、更にPIN構造光導波路を高抵抗層で埋め込むことにより、光変調器、集積型光変調器あるいは光検出器の実際

の動作とは無関係な部分の容量を極力下げることにより、素子全体の容量を低減し、その光変調器や光検出器の広帯域化を可能としたものである。

一般に容量 C は $C=\epsilon_s\epsilon_0 S/d$ で表すことが出来る。ここでは ϵ_s は比誘電率、 ϵ_0 は真空の誘電率、 S は電極面積(またはpn接合面積)、 d は電極間距離(または空乏層厚)である。従来例の項でも述べたが、素子全体の容量 C_t は接合容量 C_j 、配線容量 C_i 、パッド容量 C_p により、 $C_t=C_j+C_i+C_p$ で表される。接合容量 C_j は光変調器の静特性に影響を及ぼすため、それを劣化させない程度に設計し、導波路幅 $2\mu\text{m}$ 、導波路長 $100\mu\text{m}$ 、空乏層厚 $0.3\mu\text{m}$ とすると接合容量 C_j は約74fFとなる。残りの配線容量 C_i 、パッド容量 C_p は光変調器の広帯域化のためには低減するのが望ましい。本発明によれば、高抵抗半導体基板及び半導体あるいは誘電体の高抵抗層埋め込み構造を用いることにより、電極間距離 d を約 $100\mu\text{m}$ 程度と従来より長くすることができ、従来の導電性基板を用い、パッド部の下だけをポリイミドなどの誘電体で埋め込んだ構造($d=2\sim 3\mu\text{m}$ 、 $\epsilon_s\sim 3$)に比べて約

1/10、パッド部の下のみを半導体の高抵抗層で埋め込んだ構造($d=2\sim 3\mu\text{m}$ 、 $\epsilon_s\sim 12$)に比べて約1/30程度まで、配線容量 C_i 、パッド容量 C_p を低減することが出来る。その結果、素子全体の容量 C_t はほぼ接合容量 C_j によって決まり、光変調器の広帯域化を図ることが出来る。

また、高抵抗基板上に形成し、高抵抗層で埋め込んだPIN構造をもつ光導波路は半導体レーザとも構造的に類似の点が多く、同様な構成で光変調器と半導体レーザの集積素子への適用も容易であり、レーザとの集積型光変調器としての超高速化も実現可能である。

また、本発明による光変調器の構造において、光導波路層の組成を光源の波長より長いバンドギャップ波長をもつ組成とし、光導波路層で吸収された光によるフォトカレントをp側電極、n側電極から検出することで、導波型の光検出器として用いることができる。この場合も先に示したように、素子の容量を非常に低減できるので、超広帯域の光検出器が得られる。

また本発明の光変調器及び光検出器の高抵抗基板を用いたことによる効果を十分に引き出すためにp型電極の下に高抵抗層、高抵抗基板をはさんで対向する位置にn型電極があってはならない。容量を小さくするためにメサストライプをはさんで片側にp型電極他方の側にn型電極を形成する必要がある。この構造はメサエッチングを2回に分けて片側ずつエッチングすることで実現できるが、製作工程が複雑となる。本発明の製造方法によれば自動的に形成できる。即ち、表面の一部にストライプ状の第一導電型の半導体バッファ層を有する高抵抗基板のその第一導電型バッファ層のストライプの端部の上にPIN構造を備えたメサストライプをエッチングにより形成する。エッチング深さとメサ幅を適当に設定することにより、自動的にメサストライプの一方の側では前記高抵抗基板、他方では第一導電型バッファ層が露出するようにできる。このように一度のエッチングでストライプの片側にのみ導電層を形成できる。メサの両側に高抵抗層を形成し、ほぼ平坦な表面とし、前記高抵

抗層の一部を除いて前記バッファ層を露出させ、ここに第一の電極を形成し、メサストライプ及び高抵抗層の一部に第二の電極を形成することにより本発明光変調器あるいは光検出器が得られる。この製造方法では一度のメサエッチングでよいため工程が容易で歩留り、均一性良く作ることができる。また高抵抗基板の一部にストライプ状の第一導電型バッファ層を形成する方法は選択成長または半導体層とレジストに対する等速エッチングの気相エッチングを用いて形成できる。あるいは高抵抗基板のそのバッファ層部となる部分へ拡散又はイオン注入により第一導電型不純物を導入することによりストライプ状のバッファ層を形成してもよいし、また逆に高抵抗基板に第一導電型バッファ層を形成し、その後、プロトン注入によりストライプ状の部分を除いてバッファ層を高抵抗化してもよい。いずれの方法でも、容易に歩留り良く、ストライプ状の導電型バッファ層を有する高抵抗基板が得られる。

(実施例)

第1図は、本発明による請求項1の第1の実施例を示す斜視図であり、第2図は第1の実施例の光変調器の製造工程を示すストライプ方向に垂直な断面図である。材料系としては、InGaAsP/InP系を用いDH構造の導波路につき説明するが、材料、構造はこれに限定されるものではなく、InGaAs/InAlAs系、GaAs/AlGaAs系の材料、更にMQW構造などを用いてもよい。

まず第1図及び第2図を用いて本発明の第1の実施例に示した光変調器の製造方法について説明する。高抵抗InP基板1上に n^+ -InPバッファ層2を0.5 μm 、i-InGaAsP(バンドギャップ波長1.475 μm)光導波路層3を0.3 μm 、 p^+ -InPクラッド層4を1.2 μm MOVPE法により順次成長し、導波路形成のためストライプ状のSiO₂マスク10を通常のフォトリソグラフィ法により形成する。この時のストライプの幅は2 μm である。さらにn側電極取り出しのため、ストライプを境に片側にのみ全面にレジストマスク11をかける。この状態が第2図(a)に示されている。これらのマスクを用い、レジストマス

ク11がない側をエッチングにより落とし、 n^+ -InP層2とほぼ同じ厚さ0.5 μm の段差を予めつけておくと第2図(b)に示すようになる。レジストマスク11を剥離後、先に形成しておいたSiO₂ストライプマスク10を用いて3次元導波路形成のためのエッチングを行う。この時のエッチングの深さを1.6 μm 程度とすると、先程つけた段差のために、ストライプの一方では高抵抗InP基板1が、反対側では n^+ -InPバッファ層2が表面に露出する。第2図(c)である。つぎにSiO₂ストライプマスク10をそのまま選択成長用のマスクとして用い、メサストライプの両側をFeドーパ高抵抗InP埋め込み層5により選択的に埋め込むと第2図(d)のようになる。SiO₂ストライプマスク10を剥離後、メサストライプの上及び n^+ -InPバッファ層2がない側、即ち高抵抗InP基板1上に直接高抵抗InP埋め込み層5がある側に第1図のように加工したp側電極6を形成し、最後にp側電極6と反対側の高抵抗InP埋め込み層5の一部をエッチングにより n^+ -InPバッファ層2が表面にでるまで落とし、その部分にn側電極7を形成することにより

第1図または第2図(e)に示す構造が完成する。n側電極7とp側電極6の距離は約100 μm とした。基板は研磨により約100 μm とし、素子長はへき開により100 μm とする。この時p側電極6の面積ストライプ部で100 $\mu\text{m} \times 2\mu\text{m}$ 、配線部で10 $\mu\text{m} \times 20\mu\text{m}$ 、パッド部で100 $\mu\text{m} \times 100\mu\text{m}$ である。このように電極金属をストライプ部、パッド部及びそれを結ぐ配線部と分けて、面積を小さくすることで容量を小さくできる。

次にこの第1の実施例の光変調器の動作について説明する。最初に静特性について述べる。入射光8の波長は光通信用の1.55 μm とする。p側電極6とn側電極7の間に逆バイアス電圧が印加されていないときは、入射光8はそのまま出射光9として出力される。この時の伝搬損失は、素子長100 μm 、入射光と光導波路層のバンドギャップとの波長差が75nmであることにより、約1.5dBと小さな値である。p側電極6とn側電極7の間に逆バイアス電圧が印加され、i-InGaAsPガイド層3に電界が印加されると、フランツ・ケルディッシュ効果により入射光8はi-

InGaAsP光導波路層3を伝搬中に吸収を受け出射光9は出力されない。この時の消光比は電圧3Vで10dB以上と良好な特性が得られている。次に変調特性について述べる。作用の項でも述べた様に、電界効果を用いた変調器の帯域は素子の容量Cによりほぼ決定され $\Delta f = 1/(\pi CR)$ で表される。実施例の場合、半導体の非誘電率を12.5として計算すると、接合容量 C_j は74fF、配線容量 C_l 及びパッド容量 C_p は12fFであり、素子全体の容量は86fFである。従って、本発明による高抵抗基板を使用することにより、変調速度を決定する素子容量の値を従来に比べ数分の1から1/10程度に低減でき、変調帯域として74GHzが得られ、超高速変調が可能な変調器が得られる。

第3図は、本発明による光変調器の第2の実施例を示す斜視図であり、第4図は第2の実施例の光変調器の製造工程を示す図である。

まず第3図及び第4図を用いて本発明の第2の実施例の製作は方法について説明する。高抵抗InP基板21上に n^+ -InPバッファ層22を1.0 μm 、i-

InGaAsP(バンドギャップ波長 $1.475\mu\text{m}$)光導波路層23を $0.3\mu\text{m}$ 、 p^+ -InPクラッド層24を $1.2\mu\text{m}$ MOVPE法により順次成長し、導波路形成のためストライプ状の SiO_2 マスク31を通常のフォトリソグラフィ法により形成する。この時のストライプの幅は $2\mu\text{m}$ である。 SiO_2 ストライプマスク31を用いてエッチングを行ない、第4図(a)に示すように3次元導波路を形成する。この時のエッチングの深さを $1.8\mu\text{m}$ 程度とすることにより、 n^+ -InPバッファ層22を表面に露出させる。つぎに SiO_2 ストライプマスク31をそのまま選択成長用のマスクとして用い、メサストライプの両側を高抵抗InP埋め込み層25により選択的に埋め込む。 SiO_2 ストライプマスク31を剥離後、幅 $20\mu\text{m}$ の SiO_2 ストライプマスク32を先ほどのメサストライプを覆うように形成し、 SiO_2 ストライプマスク32を用いて高抵抗InP埋め込み層25及び、 n^+ -InPバッファ層22がわずかにエッチングされる程度まで約 $2\mu\text{m}$ エッチングし、幅広のメサストライプを形成する。これが第4図(b)である。このメサストライプを含み片側の

電圧が印加された時の消光比は電圧3Vで10dB以上と良好な特性である。また変調特性については、第1の実施例とは製造工程が異なるため、配線部、パッド部の構造の違いにより素子容量も92fFと多少異なり、従って変調帯域69GHzとなる。第1の実施例に比べ帯域は多少狭いが、この程度は基板研磨の厚さ、パッド部の面積の変更により十分改善可能な範囲であり、本発明による第2の実施例においても同様に、50GHz以上の帯域を持つ超高速変調器が得られる。

ここに示した第1、第2の実施例における光変調器の素子長、導波路幅、パッド部の面積等はあくまでも一例であって、これに限るものではない。また、各層の構造に関しても、 n 側のバッファ層をInP層とInGaAsP層に分け一方をエッチングストップ層として用いること、また p 側のInPクラッド層の上にInGaAsPキャップ層を設けること、等の応用も十分適用可能である。

また第1、第2の実施例に於ては、導波路のストライプの両側を高抵抗のInP層で埋め込んでいる

みを SiO_2 マスク33で覆い、反対側を高抵抗InP基板21が露出するまでエッチングする。これが第4図(c)である。 SiO_2 マスク33を剥離後、 p^+ -InPクラッド層24が露出しているメサストライプの上及び n^+ -InPバッファ層22がない側に SiO_2 パッシベーション膜28を介して p 側電極26を形成し、最後に p 側電極26と反対側の n^+ -InPバッファ層22が表面にでている部分に n 側電極27を形成する。このようにして第3図または第4図(d)に示す構造が完成する。第1の実施例と同様に、基板は研磨により約 $100\mu\text{m}$ とし、素子長はへき開により $100\mu\text{m}$ とする。また、 p 側電極はストライプ部で $100\mu\text{m} \times 2\mu\text{m}$ 、配線部で $10\mu\text{m} \times 20\mu\text{m}$ 、パッド部で $100\mu\text{m} \times 100\mu\text{m}$ である。

次にこの第2の実施例の光変調器の動作について説明する。 i -InGaAsP光導波路23の組成及び層厚などの第1の実施例と同一なため、静特性に関しても同様な結果が得られ、波長 $1.55\mu\text{m}$ の入射光29に対して、出射光30の伝搬損失は、約1.5dBと小さく、更に p 側電極26と n 側電極27の間に逆バイアス

が、この部分にポリイミドなどの誘電体材料を用いても光変調器として得られる効果はほとんど同様で、素子容量の低減により超高速変調が可能な光変調器が得られる。

第5図は高抵抗半導体基板上に形成した半導体レーザ(LD)と変調器を集積した請求項2の集積型光変調器の実施例を示す図であり、(a)には光の伝搬方向の断面図、(b)にはA-A'間の断面図、(c)にはB-B'間の断面図を示した。まずこの集積素子の製造方法を第5図を用いて簡単に述べる。部分的にグレーティングを持つ高抵抗InP基板41上に n^+ -InGaAsP(バンドギャップ波長 $1.2\mu\text{m}$)バッファ層42を $0.5\mu\text{m}$ 、 i -InGaAsP(バンドギャップ波長 $1.55\mu\text{m}$)活性層43を $0.3\mu\text{m}$ をMOVPE法によって成長した後、グレーティング上の i -InGaAsP活性層43だけを残し、他の部分を n^+ -InGaAsPバッファ層42が露出するまで SiO_2 マスクを用い部分的にエッチングし、エッチングされた部分に選択的に i -InGaAsP(バンドギャップ波長 $1.475\mu\text{m}$)光導波路層44を $0.3\mu\text{m}$ 成長する。その結果、 i -InGaAsP活性

層43とi-InGaAsP光導波路44は光学的に縦続きに接続される。SiO₂マスク剝離後、p⁺-InPクラッド層45を1.2μm成長する。その後の製造工程は、光変調器の第1の実施例の第2図(a)から(d)までがそのまま適用でき、2回のエッチング工程により、形成されたメサストライプの両側の、一方は高抵抗InP基板41が、他方はn⁺-InGaAsPバッファ層42が露出する形状を作り、それらを高抵抗InP埋め込み層46で埋め込む。次にLD部と変調器部との電氣的な分離をとるため、深さ1μm、長さ10μmの溝52を形成する。最後にLD部のp側電極47、n側電極48、変調器部のp側電極49、n側電極50それぞれ独立に形成する。基板は研磨により約100μmとし、素子長はへき開により400μmとし、そのうちLD部が300μm、変調器部が100μmである。また、変調器のp側電極49の面積はストライプ部で100μm×2μm、配線部で10μm×20μm、パッド部で100μm×100μmである。

次にこの実施例の集積型光変調器の動作について説明する。電極47、48の間に順方向に電流を流

また、請求項3の発明の例しとしては第1図、第3図に示した光変調器の構造において、i-InGaAsPガイド層の組成を光源の波長より長いバンドギャップ波長をもつ組成、例えば1.7μmとし、ガイド層で吸収された光によるフォトカレントをp側電極、n側電極から検出することで、導波型の光検出器として用いることができる。構造、製造方法については第1図から第4図を用いて光変調器の実施例として詳細に説明したものと同様である。この場合素子容量が90fF程度まで低減できるので超広帯域の光検出器が得られる。

次に請求項4から8の製造方法について述べる。上記の実施例ではPIN構造を含むメサストライプを形成するために2回のメサエッチングを行った。請求項4~8の方法では1度のメサエッチングで所望のメサストライプが得られる。

第6図及び第7図を用いて請求項4及び5による本発明の光変調器の第3の実施例の製造方法について述べる。第6図はこの製造方法によって得られる光変調器の構造の斜視図であり、第7図(a)(b)(c)(d)は

すとLDは発振し、活性層43と光学的に縦続接続されている光導波路44を通して光出力51が得られる。LDの発振しきい値は50mA、波長は1.55μm、また電極100mAの時の光出力51は5mWである。変調器部の電極49、50の間に逆バイアスを印加すると、光導波路層44を伝搬してる光はフランツケルディシュ効果により吸収され変調を受ける。変調器の動作については第1図に示した実施例と同様であり、既に説明してあるためここでは省略するが、変調器の帯域は50GHz以上あり、本発明のLDと変調器を集積した集積型光変調器は超高速変調が可能な光源として用いることができる。

また第5図においては、InP系の材料を用い、DFBLDと第1図に示す本発明による変調器の第1の実施例を集積したものについて示したが集積型光変調器の材料、構造、製造方法は、この実施例に限るものではないことは言うまでもない。例えば高出力化のために出力端面に無反射膜、反射面を高反射面にしてもよい。

部分的にストライプ状の第一導電型のバッファ層を有し表面が平坦な高抵抗半導体基板を製作する工程を示す断面図である。

第6図に示した光変調器は部分的にストライプ状のn型のバンドギャップに相当する波長組成1.1μmのInGaAsPバッファ層64を含む高抵抗InP基板61上にストライプ状のバッファ層の端部の位置に下からn型InP下クラッド層65、波長組成1.4μmのアンドープInGaAsP光導波路66、p型InP上クラッド層67、p⁺-InGaAsキャップ層68の多層構造からメサストライプ69を有している。各層の厚さはバッファ層64が3μm、下クラッド層65が0.5μm、光導波路66が0.3μm、上クラッド層67が1.5μm、キャップ層68が0.5μmである。メサストライプの幅は1.5μmである。メサストライプ69の両側はバッファ層64の上の一部を除いてFeをドープした高抵抗InP層70によって埋め込まれており、高抵抗層70の上にp側電極71を、また露出したバッファ層64の上にn側電極72を有している。光の入出射面に相当する前後の端面には光の反射を抑制するための無反射コー

ティングが形成されている。素子長は300 μm である。

次に本素子の製造方法を第7図を用いて説明する。第7図(a)では SiO_2 膜63をエッチングマスクとして高抵抗 InP 基板61に深さ3 μm のストライプ状の溝62をケミカルエッチングにより形成したのち、同じ SiO_2 膜63をマスクとして $n\text{-InGaAsP}$ バッファ層64を溝62の中に選択的にハイドライドVPE法により平坦になるまで形成する。第7図(b)では SiO_2 膜63を除去したのち全面に $n\text{-InP}$ 下クラッド層65、アンドープ(i層) InGaAsP 光導波路層66、 $p\text{-InP}$ 上クラッド層67、 $p^+\text{-InGaAs}$ キャップ層68を順にMO-VPE法により結晶成長する。第7図(c)ではバッファ層64のストライプの端部位置にメサストライプ69をフォトリソグラフィとエッチングにより形成したのちに、MO-VPE法によりその両側をFeドーブ InP 高抵抗ブロック層70で埋め込む。メサストライプ69を形成する際は、メサ69の幅が1.5 μm となり、かつメサ69の一方の裾において高抵抗基板61が、他方の裾においてバッファ層64が露出する

方は高抵抗基板、他方は、バッファ層64を露出させることができる。メサエッチングが1度で良く、メサエッチング時のフォトリソグラフィも容易に行えるので歩留り、均一性が従来の2倍に向上した。

請求項6, 7, 8はそれぞれ請求項5と同様に部分的にストライプ状の第一導電型バッファ層を有し表面が平坦な高抵抗基板を作る方法に関するものである。第8図は請求項6の方法を説明する図である。第8図(a)では深さ3 μm の溝73を形成した高抵抗基板61の全面にMO-VPE法により $n\text{-InGaAsP}$ バッファ層64を約3 μm の厚さに成長させる。その上にフォトレジスト74(例えばヘキスト社のAZシリーズ)をスピン塗布すると、フォトレジスト74は半導体基板上をほぼ平坦に覆う。第8図(b)ではその上からリアクティブイオンビームエッチング法(RIBE)によりフォトレジスト74及び半導体層を等速でエッチングする。このような等速エッチングは反応ガスとして Ar , O_2 , HCl の混合ガスを持ちて、その混合比を適当に調整すれば実現でき

るようにエッチング深さと幅を想定して加工する。第7図(d)ではバッファ層64の上の一部の高抵抗層70だけを、例えば InP のみを選択的にエッチングするエッチャントである HCl を用いて除去し、その後キャップ層68及び高抵抗ブロック層70の上に Ti/Pt/Au からなる電極71を、また露出したバッファ層64の上には AuGeNi からなる電極72をそれぞれスパッタ法および熱蒸着法により形成する。そしてへき開により素子分離された各素子の両端面に SiN_x からなる無反射コーティング膜をスパッタ法により形成する。

このようにして得られた第7図に示した半導体光変調器は、素子容量が0.25pFであり、波長1.55 μm の光を入力した時の変調帯域として26GHzを得ることができた。これらの性能は従来の素子の約2倍の改善になっている。

尚本実施例しではバッファ層64の組成を InGaAsP としたが、バッファ層64は $n\text{-InP}$ からなっているてもよい。この製造方法では第7図(c)での1回のメサエッチングにより、メサストライプの片

る。エッチングは溝73以外の領域で高抵抗基板61が露出した時点で終了し、残存レジスト74があればそれを除去する。こうして得られた基板は基板表面の平坦性が良いため後の工程の制御性、歩留りが良く、また面内均一性も一層良好である。

請求項7の発明の製造方法は高抵抗基板の一部分に n 型に転換せしめる不純物をイオン注入または拡散する方法である。イオン注入の場合には Si^+ を不純物イオンとして用いれば n 型の半導体を得られる。拡散による場合もやはり Si を不純物として用いる。第9図は Si 拡散の方法を説明する図である。第9図(a)では高抵抗基板61の上に部分的にアモルファス Si 75を形成し、全面を SiN 膜76で覆う。第9図(b)では約800°C近い高温で熱処理を行ない、 Si を拡散させた後 SiN 膜76およびアモルファス Si 75を除去する。この一方法で得られる半導体基板表面は完全に平坦であるため、メサストライプの形成が請求項5, 6の方法よりも容易になる。またDFBレーザ等との集積を行う場合に必要な回折格子の製作が容易になるなどの利点を有している。尚ここでは高

抵抗半導体をn型に転換させる例を述べたが、バッファ層4はp型であってもよく、Siの代わりに、p型不純物であるZnやCd等を拡散してもよい。但しこの場合は他の全ての半導体層の導電性を逆にする必要がある。

第10図に請求項8の製造方法を説明する図を示す。第10図(a)では高抵抗基板61の上全面にn-InPバッファ層64を約3 μ mの厚さに形成する。第10図(b)では一部分に半導体を高抵抗化せしめるイオンをバッファ層64の厚さよりも深く注入する。イオンとしてはH⁺やB⁺を用いれば良い。その結果、高抵抗基板61の表面に部分的にn型のバッファ層64を形成できる。この方法は請求項7の方法よりもバッファ層4の厚さを厚くできる利点を有している。これはH⁺やB⁺といったイオンの方がSi⁺よりも深く注入できるためである。これによりバッファ層の設計の自由度が大きくなる。

本発明の請求項4~8の製造方法で作成した光変調器集積型変調器光検出器は、請求項1~3の実施例

で示したものと同等の特性が得られる。また歩留り均一性は従来の2倍向上する。

以上述べた実施例ではn型、p型を入れかえても同様の効果がある。また光導波路層は多層量子井戸構造であってもよい。また材料はInGaAsP/InPに限らずInGaAs/InAlAs系やAlGaAs/GaAs系、AlGaInP/GaInP/GaAs系等通常の半導体レーザや半導体ヘテロ接合検出器で用いられる材料を使うことができる。また高抵抗層としてFeドープInPを用いたがCoやTi等他のドーパントをドープした高抵抗半導体層でもよいし、ポリイミドのような高抵抗誘電体を用いてもよい。ポリイミドは半導体と熱膨張係数が異なるので半導体層にストレスがかかることが考えられるが、溝の幅を小さくしてポリイミドの体積を小さくする等してストレスを低減して使えば信頼性に影響しない。半導体レーザのように発熱するものでは高抵抗半導体の方がより好ましいが、光変調器や光検出器では簡便に形成できるので有効である。

(発明の効果)

以上詳細に説明したように本発明によれば超高速変調が可能な光変調器、集積型光変調器や光検出器が得られる。また本発明の製造方法によれば歩留りが従来の2倍に向上する。

図面の簡単な説明

第1図は本発明の光変調器の第1の実施例を示す図であり、第2図(a)~(e)はその製造工程を示す図であり、第3図は本発明の光変調器の第2の実施例を示す図であり、第4図(a)~(d)はその製造工程を示す図であり、第5図は本発明による半導体レーザと光変調器を集積した集積型光変調器の一実施例を示す図である。

第6図は本発明の光変調器の第3の実施例を示す図である。第7図(a)~(d)はその製造工程を示す図である。第8図、第9図、第10図はそれぞれ部分的に第一導電型のバッファ層を有する高抵抗基板を製作する工程を示す図である。

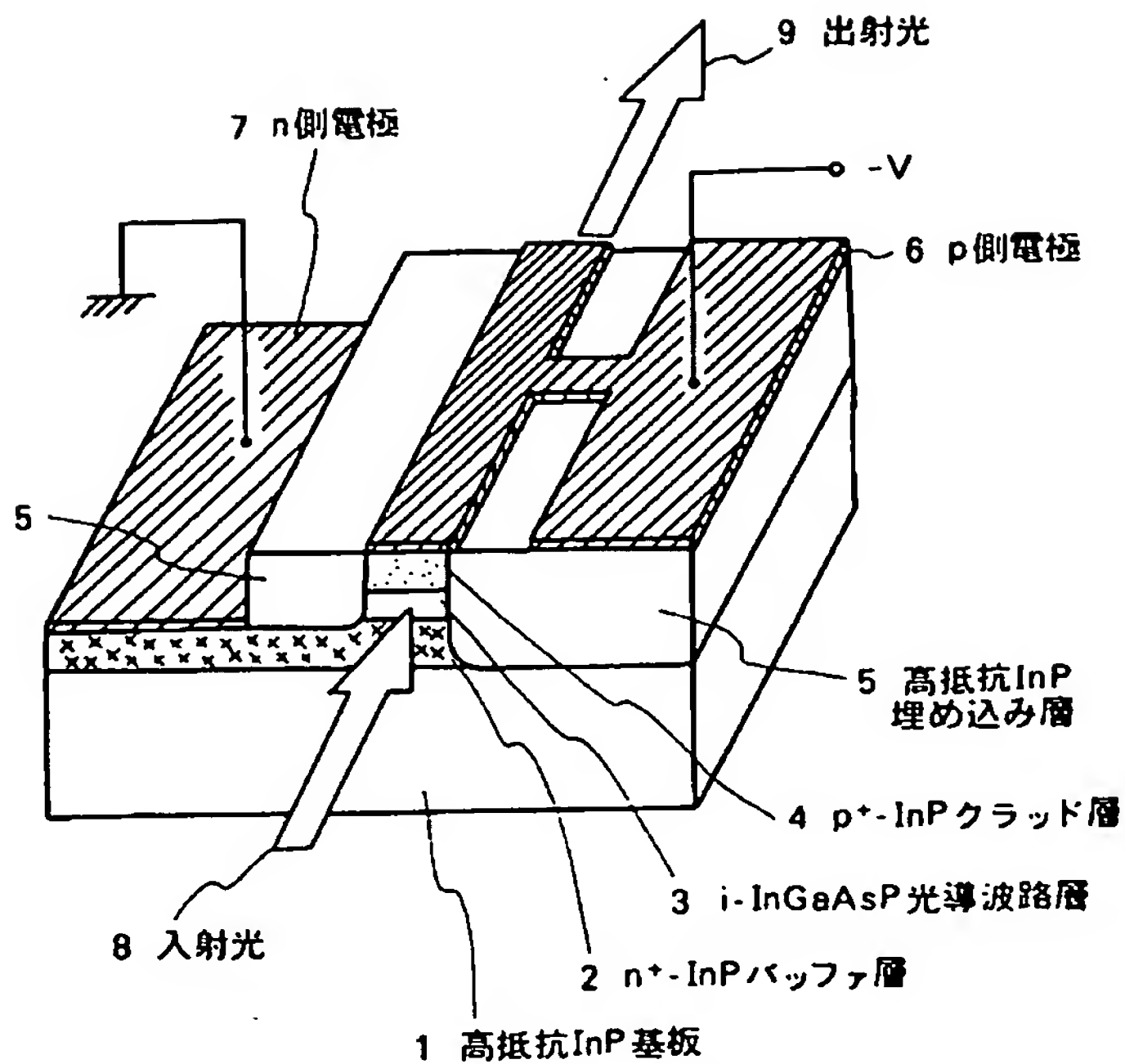
各図において

1, 21, 41, 61は高抵抗基板、2, 22, 64はバッファ層、3, 23, 44, 66は光導波路層、4, 24, 45はクラッド層、

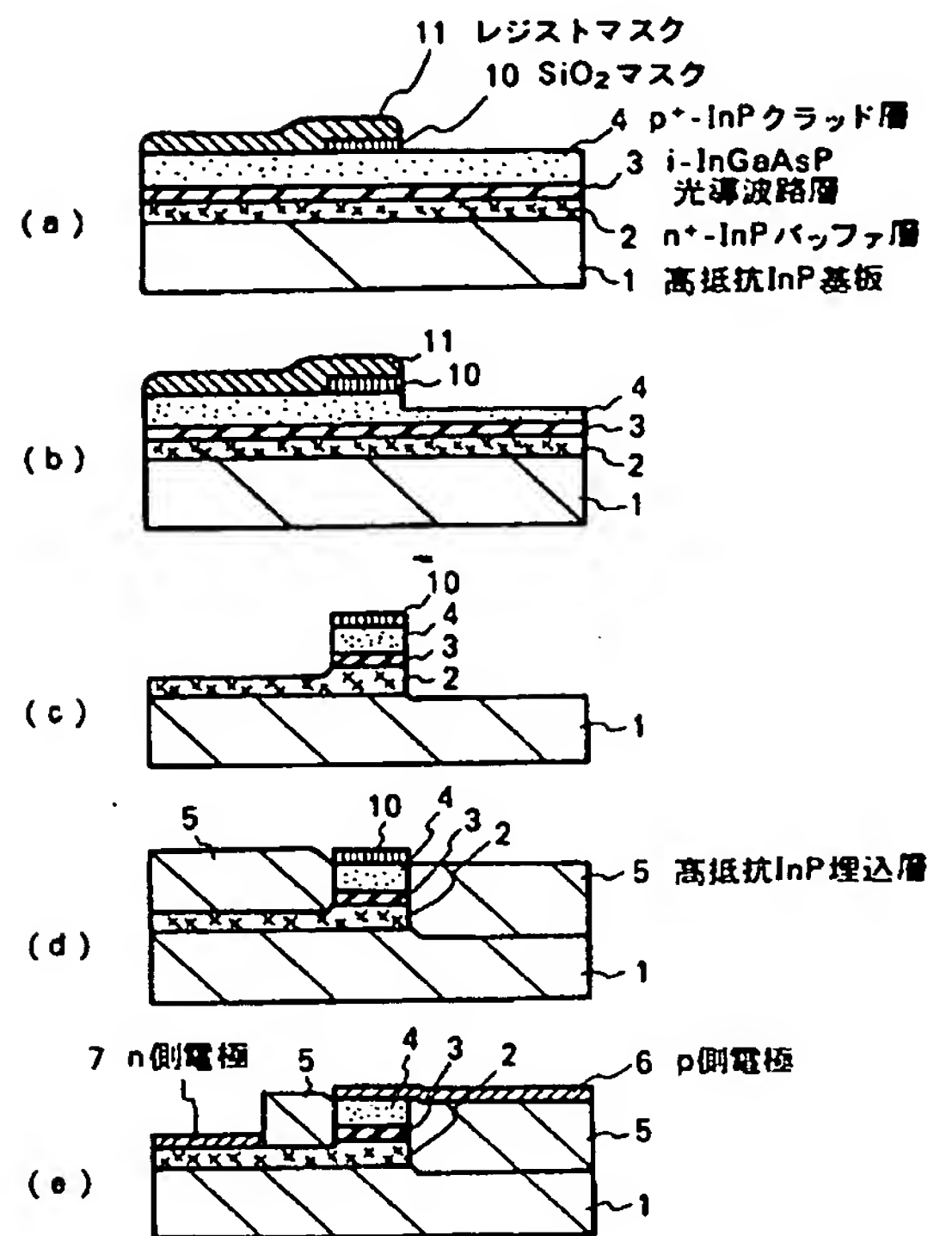
5, 25, 46, 70は高抵抗層、6, 26, 47, 49, 71はp側電極、7, 27, 48, 50, 72はn側電極、8, 29は入射光、9, 30は出射光、10, 31, 32, 33, 63はSiO₂膜、11, 74はフォトレジスト、28はSiO₂パッシベーション膜、42はn⁺-InGaAsPクラッド層、43はi-InGaAsP活性層、51は光出力、52, 62, 73は溝、65は下クラッド層、67は上クラッド層、68はキャップ層、69はメサストライプ、75はアモルファスシリコン、76はSiN膜、である。

代理人 弁理士 内原 晋

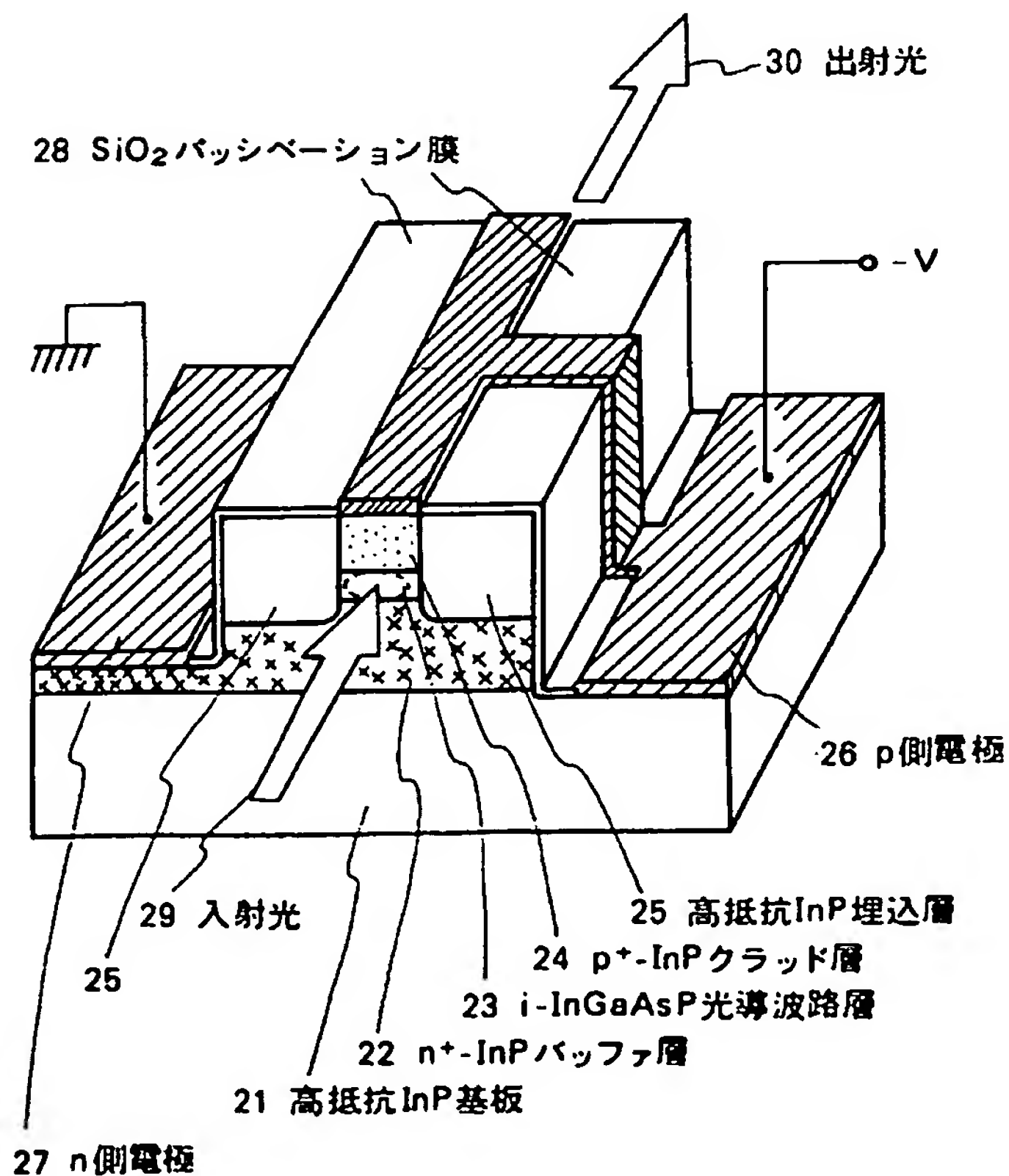
第 1 図



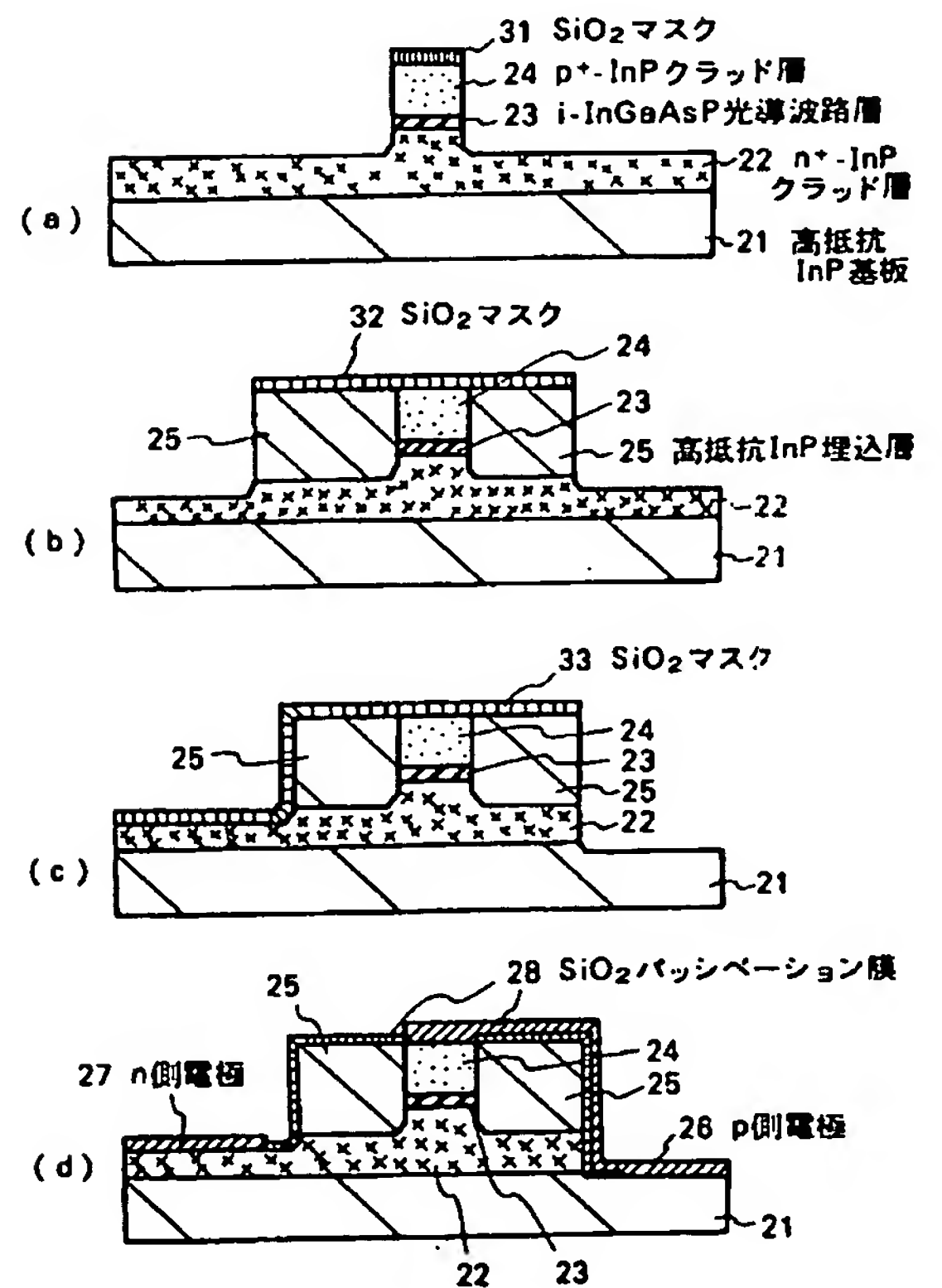
第 2 図



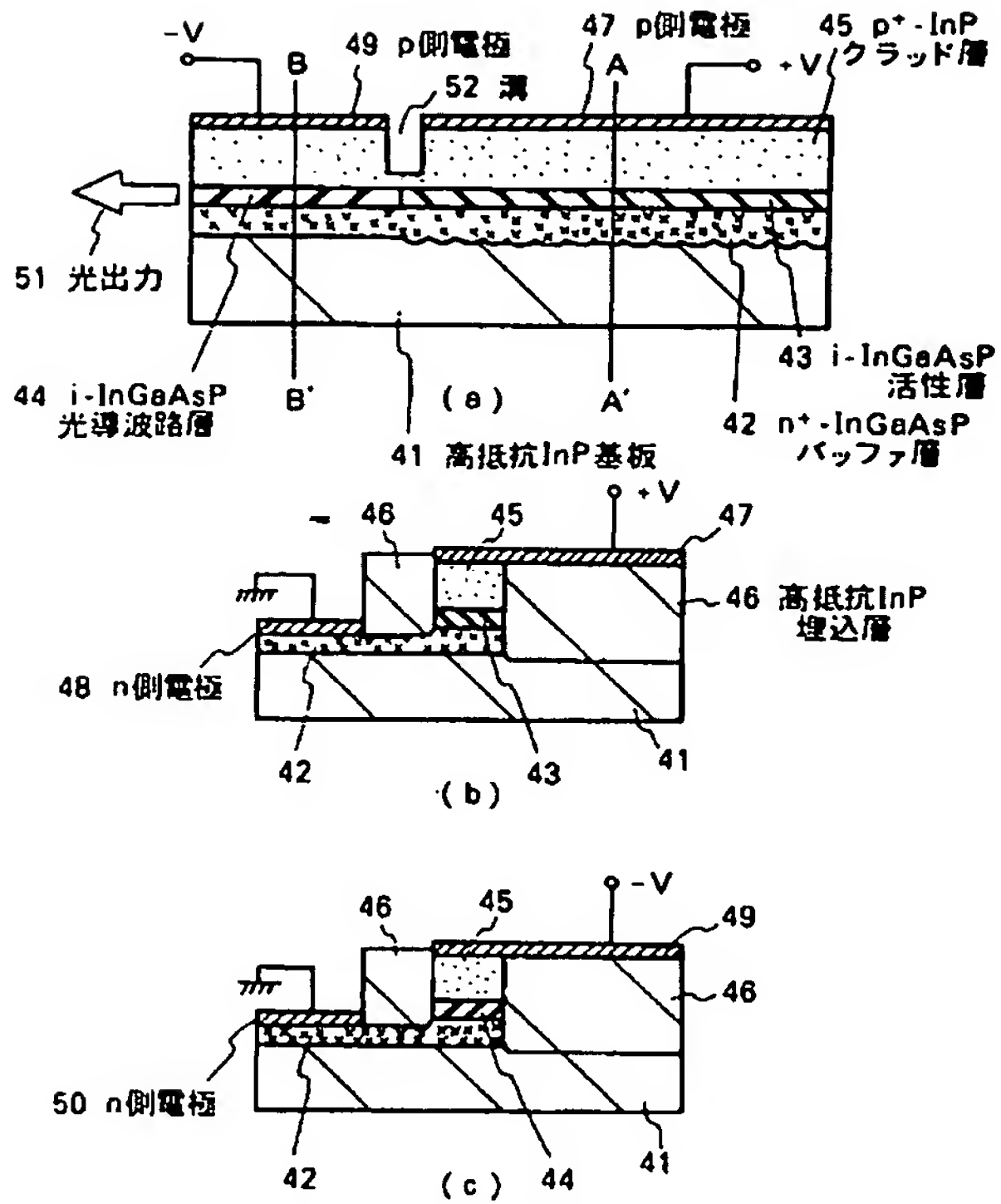
第 3 図



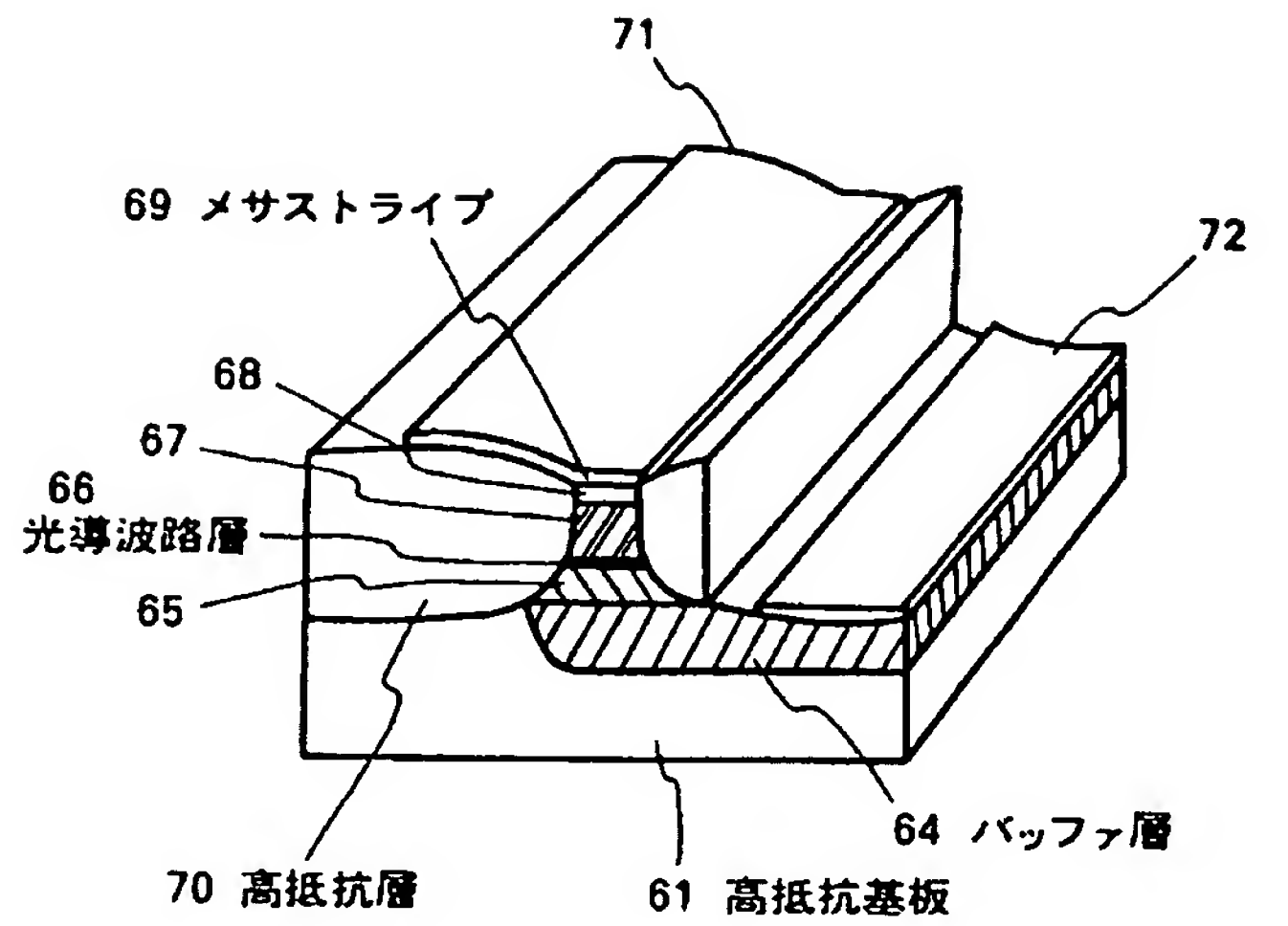
第 4 図



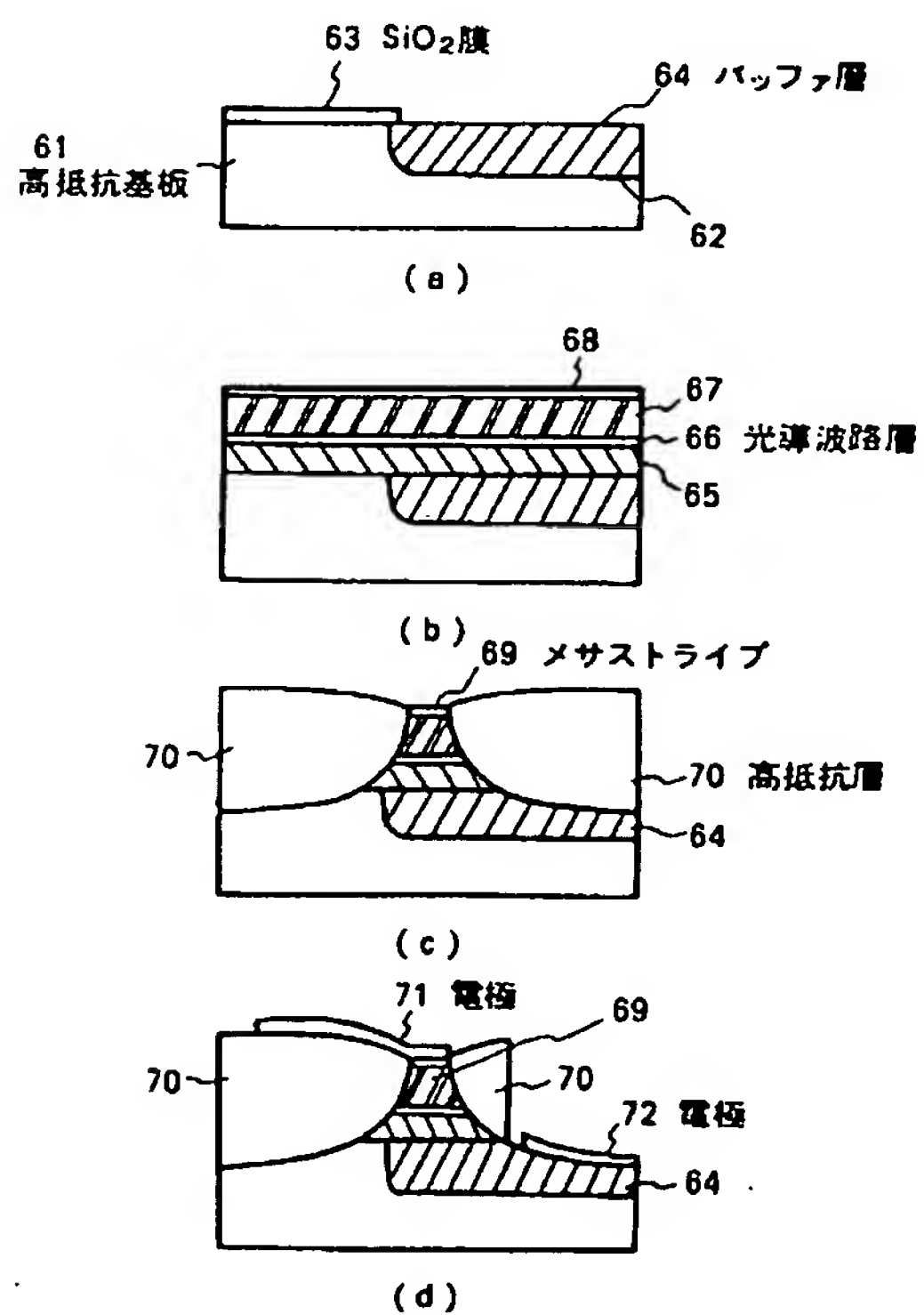
第 5 図



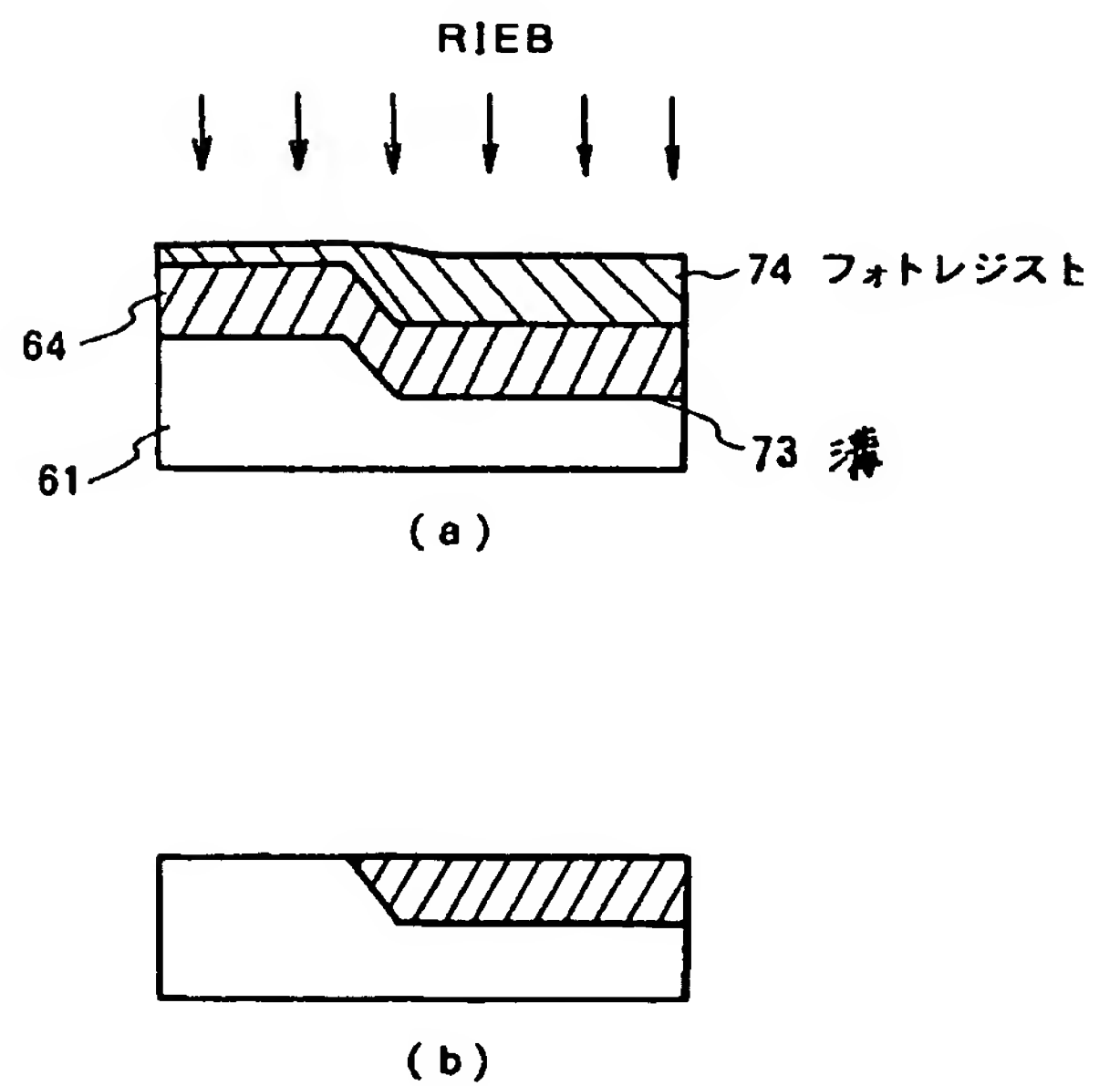
第 6 図



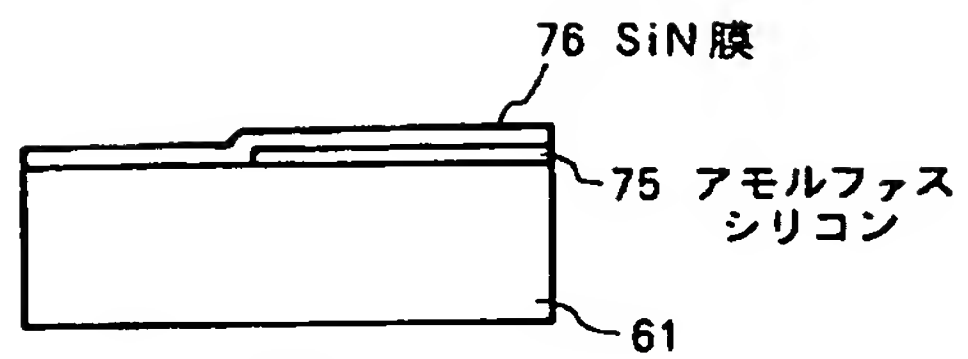
第 7 図



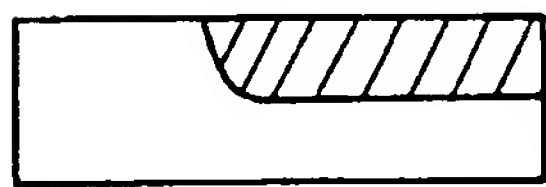
第 8 図



第 9 図

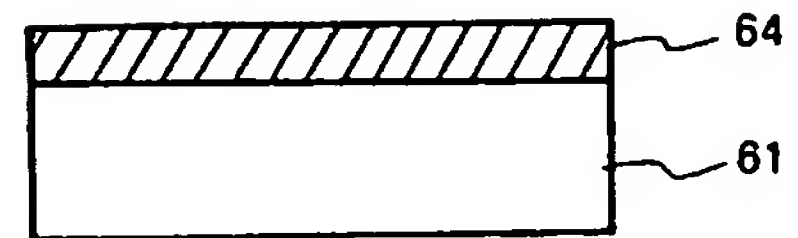


(a)



(b)

第 10 図



H⁺ 注入

